

J 0032641
FEB 1982

02

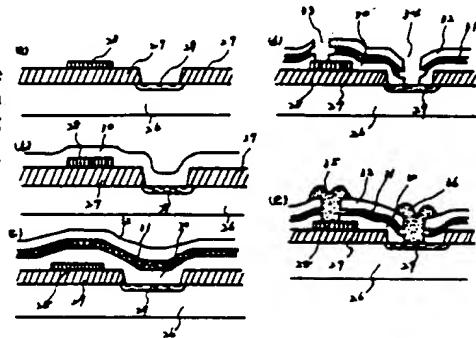
161 E 111

(54) SEMICONDUCTOR DEVICE

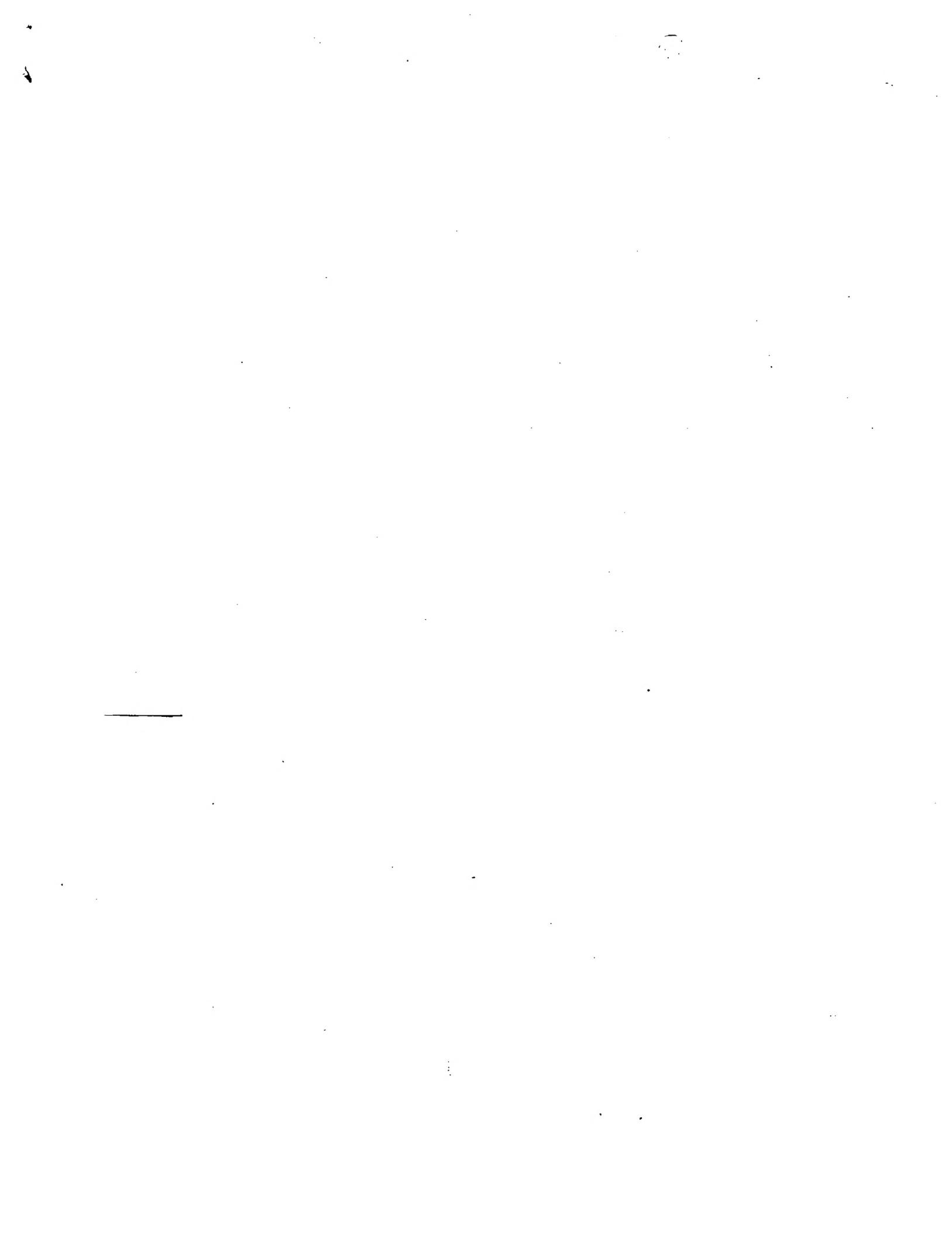
(11) 57-32641 (A) (43) 22.2.1982 (19) JP
 (21) Appl. No. 55-107882 (22) 6.8.1980
 (71) SUWA SEIKOSHA K.K. (72) AYAO YAMADA
 (51) Int. Cl. H01L21/31, H01L21/88

PURPOSE: To eliminate malfunctioning by preventing the incidence of light to the surface of an IC with a boron-doped amorphous silicon thin film provided in an interlayer insulation film between a polycrystalline silicon wiring and an Al wiring as nonelectric wiring.

CONSTITUTION: A polycrystalline Si 28 is formed selectively on an insulator film 27 on a substrate 26 and an impurity diffused layer 29 is provided through a hole. A first insulation layer 30, a boron doped amorphous silicon film 31 and a second insulation film 32 are entirely formed in sequence. Contact holes 33 and 34 are provided at a desired position corresponding to the polycrystalline Si 28 and the diffused layer 29 and metal wiring Al 35 and 36 is applied therein. Finally, a patterning is performed to complete an IC. This enables the reflection and absorption of light entering the surface of the IC thereby preventing increase in the power consumption of the IC due to light and malfunctioning of the circuit.



1137/115



⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑯ 公開特許公報 (A)

昭57-32641

⑯ Int. Cl.³
H 01 L 21/31
21/88

識別記号

厅内整理番号
7739-5F
6810-5F

⑯ 公開 昭和57年(1982)2月22日

発明の数 1
審査請求 未請求

(全 4 頁)

⑯ 半導体装置

⑯ 特 願 昭55-107882

会社謹訪精工舎内

⑯ 出 願 人 株式会社謹訪精工舎

東京都中央区銀座4丁目3番4
号

⑯ 発明者 山田彪夫

⑯ 代理人 弁理士 最上務

謹訪市大和3丁目3番5号株式

明細書

発明の名称

半導体装置

特許請求の範囲

電気配線用の多結晶ケイ素薄膜層と電気配線用の金属薄膜層及び前記多結晶ケイ素薄膜層と前記金属薄膜層を絶縁分離するための絶縁薄膜層を具備する半導体装置において該絶縁薄膜層内に該半導体装置の表面積の50パーセント以上を有する様に電気配線用としないガランドープのアモルファスシリコン薄膜層を形成することを特徴とした半導体装置。

発明の詳細な説明

本発明は半導体装置に関するものであり、特に光に対して半導体装置が誤動作することを防止する方法に関するものである。

従来半導体集積回路装置つまりICと呼ばれる半

導体チップは、ほとんど樹脂によってモールドされるか、又はパッケージに封止されて、用いられており、これらの樹脂及びパッケージ材料は、光を全く透過する事は無いので、半導体装置が直接光にさらされる事は無かった。しかるに最近半導体装置の使用される状態を観るに、例えばO.O.P.における様に、光に対して透明なガラス板に前記半導体装置を直接接着して用いる為に、ガラス板の該半導体装置を接着した面と反対の面上り入射した光、又はガラス板内を反射して来た光に前記半導体装置がさらされ、又は、例えば紫外線消去型のリードオンリーメモリーの様にパッケージ容器の表面に光を透過するガラス又は樹脂板を設置しているだけの様な半導体集積回路装置の用い方が非常に増加して来ている。この場合ICに入射した光の一部はICの構成材料である光に対し透明な二酸化シリコンを通過しシリコン基板内に達し半導体の光電効果により光電流が生じ、漏れ電流によりICの消費電流の増加、及び回路の誤動作が生ずる、第1図はICにおける配線部

ターンの1例を示したものであり特に交差している配線を示している。1-7はアルミニューム配線パターン、8-15は多結晶シリコン配線パターンであって、16-25はアルミニューム配線と多結晶シリコン配線間にオーミックコンタクトホールを形成したものである。アルミニューム及び多結晶シリコン薄膜は、その表面に入射した光を反射又は吸収してしまうが平行する配線は同一材料で形成する場合、互いに一定以上の間隔をとらなければならないので、ここに光が入射すれば二酸化ケイ素等の透明絶縁膜を通過しシリコンの基板表面へ達する。

本発明は以上の欠点を取り除くためになされたものであり多結晶ケイ素配線とアルミニューム配線間の層間絶縁膜内へ電気配線として用いないボロンドープのアモルファスシリコン薄膜を設ける事によりエロ表面へ入射した光はすべてこのボロンドープのアモルファスシリコンより内部に入らない様にし、よって光によるエロの消費電流の増加をなくし、回路の誤動作を取り除いたものであ

と、層間絶縁膜用に半導体基板表面全体に絶縁膜を形成するが、本発明においては、図に示す様にまず第一の絶縁膜30を形成した後、図の様にボロンドープのアモルファスシリコン膜31及び第二の絶縁膜32を形成する。この場合、第一及び第二の絶縁膜のそれぞの厚さは、従来における層間絶縁膜の厚さより薄く形成しても良い、又ボロンドープのアモルファスシリコン層31には、不純物としてジボランガスをモノシランガス中に混入し形成する。第一の絶縁膜30又は第二の絶縁膜33の少なくとも一方をエロにより形成し、場合によってはグロスフローを施しても良い事はいうまでも無い、さらに第一の絶縁膜30をエロで形成する事は、耐酸性の点からより良い結果が得られる。次に多結晶シリコン28、基板26の主表面上の拡散領域29と外部金属配線との電気接觸を取る為に、第一の絶縁膜30、ボロンドープのアモルファスシリコン31及び第二の絶縁膜32を通して、所望の位置にコンタクトホールをフォトエッチャングにより形成する。この

る。周知の通りアモルファスシリコンはアラバマ炉中にモノシランガスを用いて形成する事が一般的であるが前記モノシランガス中にジボランを混入することによりアモルファスシリコンの光吸収特性が変化し外観上黒色化する。しか前記ジボラン濃度を薄くする程黒色化が進む率を有し、光しゃへい膜として非常に効果的な点を有する。以下本発明を図面によって詳細に説明する。

第2図a～dは本発明を実施したエロの15その製造工程順に示した断面図である。尚各図中で同じ番号で示されたものはすべて同材料を示してある。半導体基板26の主表面上に絶縁膜27を形成、これをフォトエッチャングにてバーニングし、多結晶シリコン28を形成する事を行ない、プレデポジションにより不純物の拡散を行ない、多結晶シリコン28、29の様に半導体基板26の主表面上の所望域に不純物の拡散を行なったものが図aである。次に拡散層29及び多結晶シリコン28の表面

時の断面図が図bであり、33、34はそれぞれ多結晶シリコン28、拡散層29に対するコントロールである。このジボロントープのアモルファスシリコンのコンタクトホールの開孔は、レオングスによりアラズマエッチャングを行ない薄膜のみ過剰エッチャングして開孔部を開け次にアルミニュームとの接觸をさける必要がある。最後に金属配線用に代表的にはアルミニューム表面全面に蒸着し、フォトエッチャングによりバーニングして、エロが完成する。これが図cで図dはそれぞれ多結晶シリコン28、基板拡散層29への電気接觸用アルミニュームである。以上のようにエロを構成すれば半導体基板の表面のほとんどすべてがボロンドープモルファスシリコン31でおおわれる事にななりのコンタクトホールの部分はアルミニューム等の金属でふさがれてしまう。これによりエロ表面に光が入射してもそのすべてがボロンドープモルファスシリコン及びアルミニュームにて反射又は吸収されてしまい、半導体内に

く到達しないというすぐれた特徴を備えたエロとなる。

この為従来光に対して特に注意を払い光を遮さないモールド材でモールドしてのみ用いられたエロが光を気にせずどの様な場所、条件においても使用出来る事エロの応用分野は一段と広範囲になる。尚、前記本発明の実施例においては、コンタクトホールのエッティングは、第一、第二の絶縁膜30及び32と多結晶シリコン31とを通して1回のフォト工程で行なうのであるが、この場合、絶縁膜30及び32と、ボロンドープのアモルファスシリコン31とがエッティング方法が異なるとともにエッティング時間の割合も離かしい点があげられるが、これは第3図のコンタクトホールの断面図で示される様に、ボロンドープのアモルファスシリコン31が形成された時に、このボロンドープのアモルファスシリコン31のみをコンタクトホールの位置で、場合によっては、最終的なコンタクトホールより大き目にエッティング除去し、第二の絶縁膜32を形成した後、第一、第二の絶縁膜

30、32を最終的にコンタクトホールのエッティングを行なう等すれば、コンタクトホールのエッティングは容易となる。この第3図の場合ボロンドープのアモルファスシリコン31は外部配線用金属37と接触する事が無く信頼性の高いものとなる。

以上本発明によれば、半導体装置表面積の50ペーセント以上を有する様に、電気配線用として用いないボロンドープのアモルファスケイ素薄膜を形成して半導体装置を構成する事により、外部からの光にその動作が全く影響されないエロを作成事が可能であり、ICの使用可能な場所方法が一層拡大される。

図面の簡単な説明

第1図は半導体装置での電気配線を一例を示す平面図、第2図(a)～(e)は本発明により半導体装置を製造した場合の1例を工程を追って示した断面図、第3図は本発明により半導体装置を構成した他の例を示すコンタクトホール部の断面

図。

- 1, 2, 3, 4, 5, 6, 7, 35, 36,
- 57 ……アルミニウム配線
- 8～15, 28 ……多結晶シリコン配線
- 16～25, 33, 34 ……コンタクトホール
- 31 ……ボロンドープのアモルファスシリコン薄膜層
- 26 ……単結晶シリコン基板
- 29 ……不純物拡散層

以上

出版人 株式会社 長野精工會
代理人 弁護士 長上 邦

